

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163205

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

H01L 21/3205

H01L 21/304

(21)Application number : 08-332827

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 27.11.1996

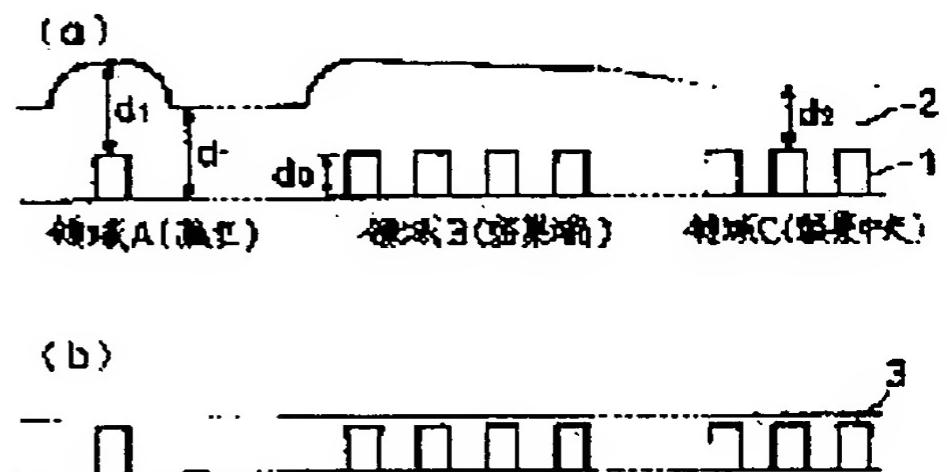
(72)Inventor : YAMAMOTO EIICHI
IKEDA KOICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To set a wiring pattern flat so as not to be affected by pattern rules, their densities and the size of a chip by changing the film thickness of a buried insulating layer formed on the wiring pattern in accordance with the density degree of the wiring pattern formed on a substrate.

SOLUTION: The wiring pattern, the Al alloy wiring 1, for example, is formed by wiring pitch $1.4\mu m$ and wiring width $0.8\mu m$ and the buried insulating layer 2 is formed by an atmospheric pressure CVD method at $400^\circ C$ where TEOS and O₃ are used as raw materials. In such a CVD, the supply quantity of gas is set so that it lacks in a fine wiring pattern part. Thus, a deposition film thickness difference depending on the density degree can be generated and the film thickness of a close wiring center area C is thinned to about 30% of an isolated wiring area A and a close wiring end area B. Thus, the wiring pattern which is freely designed and in which the difference of coarseness/ closeness is large can uniformly be flattened without providing restriction on the wiring design.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-163205

(43)公開日 平成10年(1998)6月19日

(51)Int.Cl.⁶
H 01 L 21/3205
21/304

識別記号
3 2 1

F I
H 01 L 21/88
21/304

K
3 2 1 S

審査請求 未請求 請求項の数3 FD (全4頁)

(21)出願番号 特願平8-332827

(22)出願日 平成8年(1996)11月27日

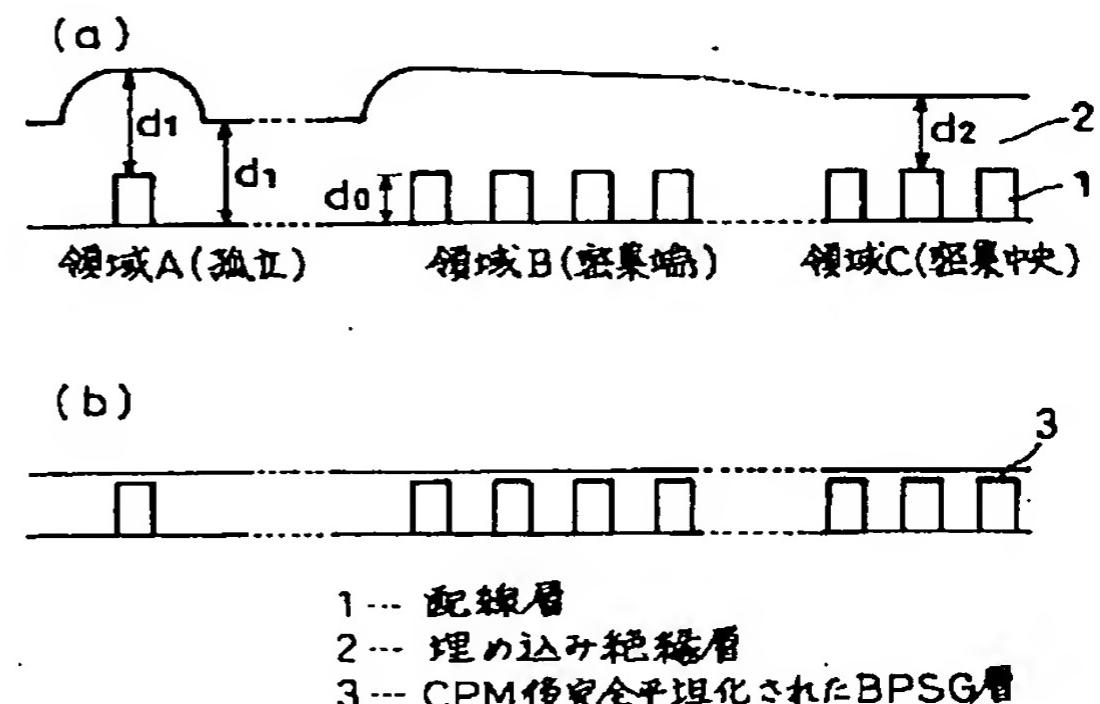
(71)出願人 000004226
日本電信電話株式会社
東京都新宿区西新宿三丁目19番2号
(72)発明者 山本 栄一
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内
(72)発明者 池田 浩一
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内
(74)代理人 弁理士 高山 敏夫 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 パタンルールとその粗密度、チップの大小に影響されない平坦化手法を提供することであり、かつローコスト、高歩留まりの技術を開発すること。

【解決手段】 機械化学研磨法(CMP)を用いて基板上に形成した半導体装置の配線層を平坦化する半導体装置の製造方法において、基板上に形成した配線パターンの密集度に応じて、前記配線パターン上に形成する埋め込み絶縁層の膜厚を変えること。



【特許請求の範囲】

【請求項1】 機械化学研磨法(CMP)を用いて基板上に形成した半導体装置の配線層を平坦化する半導体装置の製造方法において、基板上に形成した配線パターンの密集度に応じて、前記配線パターン上に形成する埋め込み絶縁層の膜厚を変えることを特徴とする半導体装置の製造方法。

【請求項2】 請求項1において、半導体装置の配線パターン密度が高いほど配線パターン上に形成する埋め込み絶縁層の膜厚を薄く形成することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1において、埋め込み絶縁層の形成をCVD法により行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路の製造方法の内、多層配線の形成法に関するものであり、特に微細かつ層数の多い配線層を大型チップ上で完全平坦化させる方法を提供するものである。

【0002】

【従来の技術】 従来のチップレベルのグローバル(完全)平坦化を行う手法としては、ブロックレジストによるエッチバック法が主として用いられていた。この方法は、導体配線層を形成した後、埋め込み絶縁層を形成し、さらに導体配線層の無い溝部分にのみ導体配線層とほぼ同等の厚さのレジスト(ブロックレジスト)を形成し、この上に再度レジストを形成し平坦にした後、埋め込み絶縁層とレジスト層がほぼ同一の速度となる条件下でリアクティブイオンエッティング法により導体配線層の上部が露出もしくは若干残留するまでエッチバックする事によりグローバル平坦化を実現させる方法である。この方法はプロセス的には煩雑であるが、確実に配線を平坦にするということでは有効な手法であり、これを繰り返すことによって平坦な多層配線を実現できる。また、最近開発された機械化学研磨法(CMP)もグローバル平坦化を実現させる有効な手法であり、この場合、埋め込み絶縁層形成後にCMPを行えば平坦化が完了し、これを繰り返すことにより、上記エッチバック法と同様に平坦な多層配線が実現できる。

【0003】

【発明が解決しようとする課題】 しかしながら、上記の二つのグローバル平坦化手法は以下の様な問題点を有しており改善が必要である。第一に示したブロックレジストとエッチバックによる手法では、まず、ブロックレジストの高さレベルがパターンの粗密と幅の大小によって変化する事があり、完全にレベリングされたグローバル平坦化を実現させるにはルール上の制約があり、特に1μm以下の微細なパターンでは困難になる。また、レジストと埋め込み絶縁層とのエッチバックでは、等速条件を維

持することが極めて困難であり、等速条件が得られなくなると平坦性は劣化する。以上の他、プロセス的に煩雑で工程数が多いことから、プロセスコストが高く、歩留まりの低下を生じることから、特殊なデバイス以外には適用が困難であるなどの問題がある。

【0004】 第二のCMPによる手法では、上記のコスト的な問題点は少ないが、CMPの原理に基づくパターンの粗密度の影響が大きく、特に3mm角以上の大型チップにおいて、CMP後の残膜厚に大きな差異を生じてしまい、次工程のヴィア開口時に、エッチング不良を生じる問題があった。CMPの原理は、プレストンの式により規定される。即ち、研磨速度=定数(研磨部材、被研磨材料によって決定されるもの)×研磨圧力×相対移動速度÷研磨面積率(単位面積当たりの突起部の面積、単位面積は通常1~2mm角)である。定常状態でCMPを行っている場合、研磨面積率以外は一定であるので、研磨速度は局部的な面積率の違いによって差異を生じる。研磨面積率の高い部分は低速度、研磨面積率の低い部分は高速度で研磨が進行する。

【0005】 図4(a)は、配線パターンが微細かつ孤立している領域Aと、配線パターンが微細かつ密集している領域B(密集端)及び領域C(密集中央)に、同じ厚さの埋め込み絶縁層を形成した状態を示す断面図、図4

(b)は、CMPにより平坦化を行った状態を示す断面図である。これより、均一に埋め込み絶縁層を形成し CMPを行うと、研磨面積率の低い孤立パターン部は研磨が速く進行し、研磨面積率の高い密集パターン中央部分は研磨が遅く進行するため、CMP後の残膜厚に大きな差異が生じ、グローバル平坦化が図れないことを示す。また、密集パターン端部においては、膜厚が徐々に変化する事を示す。この状況は、次工程のヴィアホール形成において、ヴィア深さが大きく異なることを意味し、ヴィア加工条件の設定が困難となる。また、この状況下で多層化を進めると、チップ内の表面レベル差が拡大し、グローバルな平坦化を実現出来ない問題があった。以上より、解決すべき課題は、パターンルールとその粗密度、チップの大小に影響されない平坦化手法を見いだすことであり、かつローコスト、高歩留まりの技術を開発する事にある。

【0006】

【課題を解決するための手段】 上記の目的を達成するため本発明は、機械化学研磨法(CMP)を用いて基板上に形成した半導体装置の配線層を平坦化する半導体装置の製造方法において、基板上に形成した配線パターンの密集度に応じて、前記配線パターン上に形成する埋め込み絶縁層の膜厚を変える半導体装置の製造方法を発明の特徴とするものである。換言すれば、本発明の基本技術はCMPを用い、この欠点であるパターン粗密度の影響を、埋め込み絶縁層の膜厚を局部的に変化させて吸収し、CMP後の埋め込み絶縁層の残膜厚を一定にさせるものであ

る。

【0007】

【発明の実施の形態】埋め込み絶縁層を堆積するCVD技術において、ガスの供給量が微細パタンの密集度によって変化する、すなわち供給不足の状態で行い、微細パタンの密集度が高い部分ほど薄くなるように設定する。これによって、CMP時に研磨速度の低下する研磨面積率の高い密集領域において、埋め込み絶縁層の残膜厚が厚くならないようにし、グローバル平坦化を実現させる。

【0008】

【実施例】以下、図面を用いて本発明の実施の形態を詳細に説明する。図1は、本発明の実施の形態を示す断面図である。図1(a)は、埋め込み絶縁層形成後、図1(b)は機械・化学的研磨(CMP)法で平坦化を完了させた状態を示す。図1(a)は、配線パタン、たとえばAl合金配線1を配線ピッチ $1.4\mu m$ 、配線幅 $0.8\mu m$ で形成した後、埋め込み絶縁層2をTEOSとO₃を原料とする常圧CVD法により $400^{\circ}C$ で形成する。なお等方的な被覆形状とするために、PおよびBをドープしてBPSG膜としている。このようなCVDにおいて、ガスの供給量を微細な配線パタン部で不足するように設定する事によって密集度に依存した堆積膜厚差を生み出すことができ、密集配線中央領域Cの膜厚を孤立配線領域Aや密集配線端部領域Bに比べて、約30%薄膜化出来る。次に図1(b)に示す様にCMPを行うことによって、孤立と密集部とがほぼ同一の残膜厚で平坦化が完了する。CMPの条件は、たとえば研磨パッドIC1400(ロデール社製スタックドパッド)、研磨剤ILD1300(ロデール社製シリカ系アンモニアベース)、研磨圧力 $210g/cm^2$ 、研磨定盤回転数 $45rpm$ とする事で、上記の平坦化が実現できる。この時のBPSG膜の平坦部での研磨速度は $0.4\mu m/min$ が得られる。図1(a)において、配線段差量 $d_0 = 0.7\mu m$ 、埋め込み絶縁層となるBPSG膜 d_1 を $2\mu m$ の厚さに堆積させた場合の例を示す。BPSG膜堆積後の孤立部分の研磨面積率が10%、密集配線部分の研磨面積率が100%と最も極端な場合の例をプレストンの式に基づき計算する。なお研磨面積率とは、配線パタン上に埋め込み絶縁層を堆積した状態での面積率を指す。この時孤立部分の膜厚 d_1 は $2\mu m$ の厚さであるが、密集部分の膜厚 d_2 は30%薄膜化するため $1.4\mu m$ の厚さとなる。CMP後の密集配線上の残留BPSG膜の膜厚を $0.2\mu m$ とすると、研磨量 $1.2\mu m$ で研磨速度が $0.4\mu m/min$ であるから $3min$ の研磨時間となる。この時間で孤立部分の研磨の進行を計算すると、配線段差がなくなるまでは、孤立部分の研磨面積率が10%であるので、研磨速度は $4\mu m/min$ となり 0.175 分で段差がなくなる。段差がなくなった後は $0.4\mu m/min$ の速度で 2.825 分研磨を行

うことになり、 $1.13\mu m$ 分研磨され、孤立部分のBPSG残膜量は $0.17\mu m$ となる。即ち孤立部分と密集部分との膜厚差は、僅か $0.03\mu m$ と極めて小さくなり、グローバル平坦化が実現出来る。ちなみに、孤立と密集部ともに同一の膜厚に堆積した場合は、約 $0.6\mu m$ の大きな膜厚差を生じてしまう。

【0009】図2は、本発明のメモリLSIに適用した結果である。チップエリア $4mm$ 角でその中の $2.5mm$ 角が密集パタンとなっている場合で、密集部の配線面積率は40%、埋め込み膜(BPSG)を堆積した後の研磨面積率はほぼ100%である。BPSG膜厚は平坦部で $1.15\mu m$ であり、密集配線部で $0.95\mu m$ と約20%薄膜化させている。この状態でCMPを行うと、発明者らの推奨する条件である $3psi(210g/cm^2)$ 、 $45rpm$ の場合、ほぼ平坦になることを示す。

【0010】図3は、ロジックLSIに適用した結果であり、チップエリア $10mm$ 角でその中の $8mm$ 角が密集パタンとなっている場合で、密集部の配線面積率は30%、BPSGを堆積した後の研磨面積率は80%である。BPSG膜厚は平坦部で $1.15\mu m$ であり、密集配線部で $0.8\mu m$ と約30%薄膜化させている。この場合、CMP後においてほぼ完全な平坦化が図れることを示す。以上図2および図3で示した様に、密集部での埋め込み膜厚を孤立部に比べて薄膜化した状況下でCMPを行うことによって、ほぼ完全に平坦化できることが明らかである。なお本発明の適用は、配線ピッチ $1\sim2\mu m$ 、配線幅 $0.5\sim1\mu m$ で、このルールの適用領域が $2mm$ 角以上となるLSIチップ上の場合に有効となる。本発明の実施の形態の中では、常圧CVDで形成したBPSG膜を対象に説明したが、減圧CVD等を用いても、またドーピングをしないNSG膜においても、埋め込み絶縁層の堆積時に、密集部分が孤立部分に比べて30%程度薄膜化する条件下で埋め込み絶縁層の堆積を行えば、同様のグローバル平坦化が実現出来る。

【0011】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法を用いれば、配線設計上の制約を設けることなく、自由に設計された粗密の差が大きい配線パタンの平坦化を均一に行うことが出来、これを多層としても、グローバル平坦性が確保される。これによって多層配線におけるヴィアホール特性の安定化と高歩留まり化が実現するとともに、配線メタル層の高信頼化を達成させる効果がある。また、グローバル平坦化が実現出来ることから、配線の微細化と高密度化を進展させることが可能となり、半導体装置の著しい高集積化を実現させる効果がある。

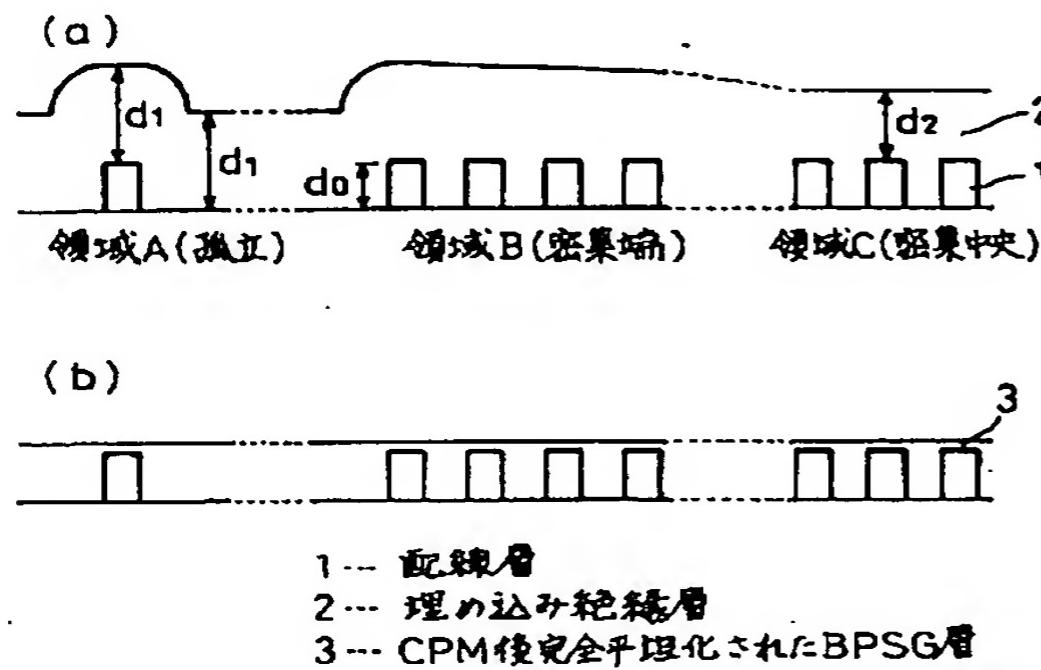
【図面の簡単な説明】

【図1】本発明の実施形態で例示した、半導体装置の製造方法による配線平坦化の模式断面図を示す。

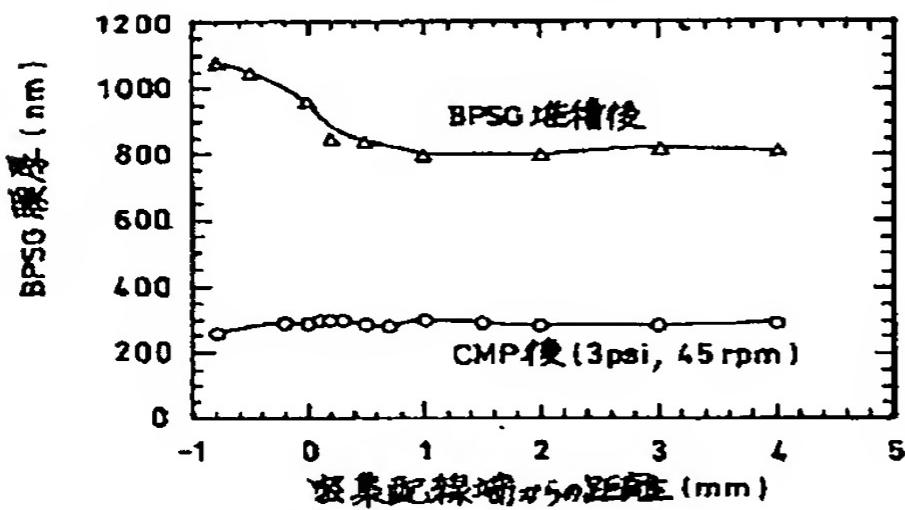
【図2】本発明の実施形態で例示した条件下で、4 mm角のメモリーチップの微細配線段差をCMPで平坦化した時の特性図を示す。

【図3】本発明の実施形態で例示した条件下で、10 m m角のロジックチップの微細配線段差をCMPで平坦化した時の特性図を示す。

【図1】



【図3】

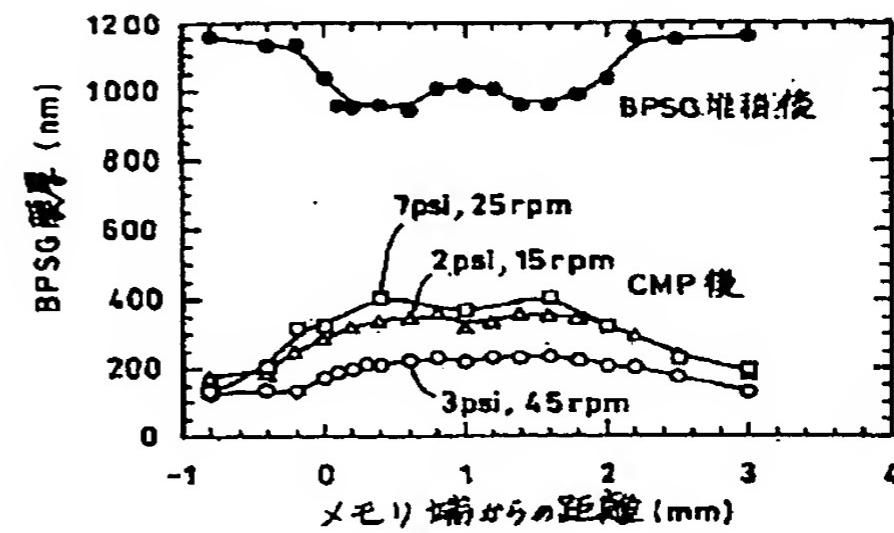


【図4】従来の配線平坦化の断面模式図を示す。

【符号の説明】

- 1 配線層
- 2 埋め込み絶縁層(BPSG層)
- 3 CMP後完全平坦化されたBPSG層
- 4 CMP後膜厚差の生じたBPSG層

【図2】



【図4】

